

RS
2

4-11-02

1c971 U.S. PTO
10/083997
02/25/02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Satoshi FUKUI, et al.**
Filed: : **Concurrently herewith**
For: : **TRANSMISSION LINE TERMINATING.....**
Serial No. : **Concurrently herewith**

Assistant Commissioner for Patents
Washington, D.C. 20231

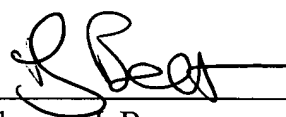
February 25, 2002

PRIORITY CLAIM AND SUBMISSION
OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2001-319725** filed **October 17, 2001**, a certified copy of which is enclosed

Respectfully submitted,



Thomas J. Bean
Reg. No. 44,528

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: FUJA 19.488
TELEPHONE: (212) 940-8800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC971 U.S. PTO
10/083997

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2001年10月17日

出 願 番 号
Application Number:

特願2001-319725

出 願 人
Applicant(s):

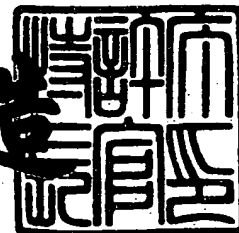
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年12月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 0151570

【提出日】 平成13年10月17日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04L 12/00

【発明の名称】 パケット処理を行う伝送路終端装置

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ
 ィジタル・テクノロジ株式会社内

 【氏名】 福井 敏志

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ
 ィジタル・テクノロジ株式会社内

 【氏名】 奥 達也

【発明者】

 【住所又は居所】 神奈川県横浜市港北区新横浜2丁目3番9号 富士通デ
 ィジタル・テクノロジ株式会社内

 【氏名】 福永 健二

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100077517

 【弁理士】

 【氏名又は名称】 石田 敬

 【電話番号】 03-5470-1900

【選任した代理人】

 【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケット処理を行う伝送路終端装置

【特許請求の範囲】

【請求項 1】 装置全体の監視制御及び通信制御を行う中央処理装置と、前記中央処理装置に接続された単一のパケット処理 IC と、前記パケット処理 IC を中心としてスター状に接続された複数のプリント回路盤とを備え、前記複数のプリント回路盤と前記パケット処理 IC とは、トランスペアレントな情報と警報転送情報と前記中央処理装置からの情報とをパケット化して送受信するのに十分な伝送容量を持つ高速監視制御ラインで接続されており、前記プリント回路盤の間のトランスペアレント情報と警報転送情報との通信は前記高速監視制御ライン及び前記パケット処理 IC を介して行われるようにし、この場合前記パケット処理 IC は起点のプリント回路盤からのパケット情報から検出された宛て先に対応する終点のプリント回路盤に該パケット情報を送信するようにしたことを特徴とする伝送路終端装置。

【請求項 2】 前記パケット処理 IC は起点のプリント回路盤から送信された情報を時間的優先度が付与されたパケットにして、終点のプリント回路盤に前記時間的優先度に応じて回送するようにしたことを特徴とする請求項 1 記載の伝送路終端装置。

【請求項 3】 前記プリント回路盤の各々は終点プリント回路盤のアドレスをパケット情報中に挿入する終点プリント回路盤情報挿入部を備え、前記パケット処理 IC は起点プリント回路盤から送信されたパケットデータ中の終点プリント回路盤のアドレスを検出して該アドレスを有する終点プリント回路盤に前記起点プリント回路盤からのパケット情報を配信するようにしたことを特徴とする請求項 1 記載の伝送路終端装置。

【請求項 4】 前記パケット処理 IC は起点プリント回路盤と終点プリント回路盤とのリンクを確立させるためのリンク情報設定部を備えており、前記情報設定部は起点プリント回路盤から送信されたパケットデータ中のリンク先を終点プリント回路盤として検出して前記終点プリント回路盤に前記起点プリント回路盤からのパケット情報を配信するようにしたことを特徴とする請求項 1 記載の伝

送路終端装置。

【請求項 5】 前記プリント回路盤から送信されるデータはパケット化されたセルの形態で送信されることを特徴とする請求項 1 記載の伝送路終端装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トランスペアレント情報と警報転送情報とをパケット処理 IC を中心としてスター状に接続されたプリント回路盤の間で転送する伝送路終端装置に関する。

【0002】

【従来の技術】

図 1 3 は従来の伝送路終端装置における配線の一例を示す図である。図 1 3 の例では 6 個のユニット（棚）141～146 が示されている。各ユニットには複数のプリント回路盤（PCB）が格納されている。その中でトランスペアレント信号 1 はユニット 142 内のプリント回路盤（PCB）とユニット 143 内のプリント回路盤（PCB）との間で固定的に接続された線を介して送受されており、トランスペアレント信号 2 はユニット 141 内のプリント回路盤（PCB）とユニット 144 内のプリント回路盤（PCB）との間で固定的に接続された線を介して送受されており、警報転送信号はユニット 145 内のプリント回路盤（PCB）とユニット 146 内のプリント回路盤（PCB）との間で固定的に接続された線を介して送受されている。このように、この従来例では起点プリント回路盤（PCB）から終点プリント回路盤（PCB）に固定的にそれぞれの信号線が接続されている。なお、PCB 間の信号線の種類は図示したもの以外にも多数存在し得る。

【0003】

図 1 3 の例では特定の 2 つの PCB 間でのみ、トランスペアレント信号又は警報転送信号が送受信されるだけであり、他の PCB との間で信号の送受信をすることができないので実際的ではない。

【0004】

図14は従来の伝送路終端装置における配線の他の一例を示す図である。図14の例ではユニット141～146の各々の中の各PCBと他のすべてのPCBとの間でトランスペアレント信号1および2と警報転送信号とが送受信されるように、メッシュ上に配線が施されてマトリックススイッチを構成している。

【0005】

図15は1つのユニット内に多数のPCBが装荷されている場合の従来の伝送路終端装置における信号線の接続の状態を説明する図である。図15においてはPCBとしてインターフェース盤（IF盤）、マルチプレクサ盤（MUX盤）およびデマルチプレクサ盤（DMUX盤）が装荷されている。上段のラックには、IF盤a～lが装荷されており、下段のラックにはm～xのMUX盤又はDMUX盤が装荷されている。

【0006】

図示例においては、トランスペアレント信号1の送信のための配線は、DMUX盤rからIF盤a～dに固定的に接続されている。

【0007】

またトランスペアレント信号2の送受信のための配線は、IF盤aとIF盤iとの間、IF盤bとIF盤jとの間、IF盤cとIF盤kとの間、およびIF盤dとIF盤lとの間に固定的に接続されている。

【0008】

さらに、警報転送のための配線としては、DMUX盤rからMUX盤qへの送信用配線と、DMUX盤tからMUX盤sへの送信用配線とのみが固定的に接続されている。

【0009】

これらの配線はユニットの裏側のボード上に固定的に形成されていて、バック・ワイヤド・ボード（BWB）と称せられる。

【0010】

図16は図15に示したユニット内の全てのPCBの間で全てのトランスペアレント信号および警報転送信号を送受信しようとする場合の、配線の状態を示す図である。同図において、IFaとこのユニット内の他の全てのPCBとの間で

、全てのトランスペアレント信号および警報信号を送受信されるべく配線が施されている。図示は省略してあるが、他のPCBについても同様にユニット内の自身以外のPCBとの間で信号種別毎に配線が施される。

【0011】

【発明が解決しようとする課題】

図13に示した従来の構成では、PCB間のトランスペアレント情報および警報転送情報のための各専用線の接続が固定であるので、ユーザによるカスタマイゼーションの要求にこたえる柔軟なネットワーク構成ができないという問題がある。

【0012】

図14に示した従来の構成では、すべてのユニット間の全てのPCBとの間で全てのトランスペアレント情報および警報転送情報の送受信のための配線を施す必要があるので、配線数が膨大となり装置全体の複雑化とコスト増になるという問題がある。

【0013】

図15および図16に示した従来例では、PCB間の配線が固定であるので、ユニット内の各PCBの挿入スロット位置が固定的に決まっており、任意のスロット位置にPCBを挿入できないので操作者に不便であるという問題がある。また、カスタマニーズにこたえるPCBを作成しても、上記のようにBWB上で配線が固定的に成されているので任意のスロットにそのPCBを挿入することはできない。したがって、カスタマニーズに応える柔軟なユニット構成ができないという問題もある。さらに、膨大な信号線を必要とするのでPCBコネクタの端子が膨大になると共にBWB配線量も増大して装置の複雑化とコスト増になるという問題もある。

【0014】

本発明の目的は、上記の従来技術における問題に鑑み、一つのパケット処理ICを中心として全てのPCBをスター状に接続するという構想に基づき、少ない配線数により装置全体の構成を簡単化してコストの低減を図り、且つ、パケット処理ICがパケット内の宛先情報にしたがってすべての信号を送信宛て先に送信

するようにすることにより、カスタマニーズに応えることが可能な柔軟な構成の伝送路終端装置を提供することにある。

【0015】

【課題を解決するための手段】

上記の目的を達成するために、本発明により提供されるものは、パケット処理ICを中心としてスター状に接続された複数のプリント回路盤を備えた伝送路終端装置である。複数のプリント回路盤とパケット処理ICとは、トランスペアレントな情報と警報転送情報と中央処理装置からの情報とをパケット化して送受信するのに十分な伝送容量を持つ高速監視制御ラインで接続されている。プリント回路盤の間のトランスペアレント情報と警報転送情報との通信は高速監視制御ライン及びパケット処理ICを介して行われるようにし、この場合パケット処理ICは起点のプリント回路盤からのパケット情報から検出された宛て先に対応する終点のプリント回路盤にそのパケット情報を送信する。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面によって説明する。全図を通じて同一参照番号は同一物を示す。

【0017】

図1は本発明の一実施の形態による伝送路終端装置の構成を示すブロック図である。図1において、伝送路終端装置1は監視制御部2と伝送情報終端部3からなっている。監視制御部2と伝送情報終端部3との間に、複数のプリント回路盤(PCB)11、12、・・・1m、1nが挿入されている。PCB11および12はそれぞれは低速インターフェース盤であり、PCB1mはスイッチ盤であり、1nは高速インターフェース盤である。各PCB内には監視制御処理回路と主信号処理回路とが含まれている。

【0018】

監視制御部2にはCPU盤4が設けられている。

【0019】

CPU盤4は、装置全体の監視制御及び通信制御を行う中央処理装置(CPU

） 41 と、その CPU 41 に接続された単一のパケット処理 IC 42 とを備えている。

【0020】

パケット処理 IC 42 を中心として、すべての PCB 11、12、・・・1m、1n がパケット処理 IC 42 にスター状に接続されている。各 PCB とパケット処理 IC 42 との間を接続する線は、トランスペアレントな情報と警報転送情報と中央処理装置 41 からの情報とをパケット化して送受信するのに十分な伝送容量を持つ高速監視制御ライン 21 のインターフェースである。

【0021】

図 2 は図 1 における 2 つ PCB とその間のパケット処理 IC 42 の詳細の一例を示すブロック図である。同図において、PCB 11 はパケット情報を送信する起点 PCB であり、PCB 12 はパケット情報を受信する終点 PCB である。

【0022】

起点 PCB 11 は、主信号処理回路 201 と、主信号処理回路 201 から出力される各種トランスペアレント情報および警報転送情報をパケット化するパケット化回路 202 と、監視制御処理回路 203 と、監視制御処理回路 203 から出力される監視および制御の各種情報をパケット化するパケット化回路 204 と、パケット化回路 202 および 204 の出力を多重化するマルチプレクサ (MUX) 205 とを備えている。

【0023】

起点 PCB 11 は高速監視制御ライン 206 によりパケット処理 IC 42 に接続されている。

【0024】

パケット処理 IC 42 は、高速監視制御ライン 206 からの多重化されたパケット信号を分解するデマルチプレクサ (DMUX) 207 と、分解されたパケット信号から配信先を決定する配信部 208 と、DMUX 207 の出力および配信部 208 の出力の一部を多重化するマルチプレクサ (MUX) 209 と、CPU 41 とのインターフェース部 210 と、インターフェース部 210 の出力を分解するデマルチプレクサ (DMUX) 211 と、配信部 208 の出力および DMU

X 2 1 1 の出力を多重化するマルチプレクサ (MUX) 2 1 2 とを備えている。DMUX 2 0 7 の出力のうちトランスペアレント情報および警報情報は配信部 2 0 8 に入力され、監視・制御情報は配信部 2 0 8 を介さないでマルチプレクサ 2 0 9 に入力される。同様に、DMUX 2 1 1 の出力のうちトランスペアレント情報および警報情報は配信部 2 0 8 に入力され、監視・制御情報は配信部 2 0 8 を介さないでマルチプレクサ 2 1 2 に入力される。配信部 2 0 8 は、他の PCB との間でも信号の送受信を行う。MUX 2 0 9 には他の PCB に対応する DMUX (図示せず) からの監視・制御情報も入力される。DMUX 2 1 1 からは他の PCB に対応する MUX (図示せず) にも情報が出力される。

【 0 0 2 5 】

終点 PCB 1 2 は、パケット処理 IC 4 2 内の MUX 2 1 2 と高速監視・制御ライン 2 1 3 により接続されており、多重化されているパケットを主信号と監視・制御情報とに分解する DMUX 2 1 4 と、主信号パケットのパケット終端部 2 1 5 と、主信号処理回路 2 1 6 と、監視・制御信号パケットのパケット終端部 2 1 7 と、監視制御処理回路 2 1 8 とを備えている。

【 0 0 2 6 】

図示のように、パケット処理 IC 4 2 内では監視・制御の各情報は CPU 4 1 に入力されて処理されるが、主信号と監視・制御信号といったトランスペアレント情報は配信部 2 0 8 で宛て先である終点 PCB が決定されて配信される。

【 0 0 2 7 】

図 3 の (a) から (e) は図 2 における起点 PCB 1 1 内の主信号処理回路 2 0 1 から出力される情報が終点 PCB 1 2 内の主信号処理回路 2 1 6 に入力されるまでの情報の流れとデータフォーマットを示す図である。図 3 の (a) に示すように、主信号処理回路 2 0 1 の出力インターフェースフォーマットはフレームパルスとデータからなり、データはトランスペアレント情報と警報転送情報を含んでいる。なお、警報転送情報もトランスペアレントな情報である。

【 0 0 2 8 】

このデータはパケット化部 2 0 2 により図 3 の (b) に示すようにパケット化される。本実施の形態においてはパケットの一例として ATM セルパケットを採

用している。A T Mセルは図示のようにセルヘッダと、トランスペアレント情報または警報転送情報等が挿入される情報フィールドとからなる。

【 0 0 2 9 】

図 3 の (c) は A T Mセルフォーマットの例を示す図である。周知のように、A T Mセルは、5 バイトの A T Mセルヘッダと 4 8 バイトの情報フィールドからなる 5 3 バイトの固定長セルである。

【 0 0 3 0 】

A T Mセルのフォーマットは I T U - T で規定されているのでここではその中味については、以下の簡単な説明に止める。

【 0 0 3 1 】

A T Mセルヘッダにはトランスペアレント種別、don't use、宛先（終点 P C B）コード、監視制御コード、情報分類コード、Reserve、H E C (Header Error Control) バイトがある。トランスペアレント種別の欄にはトランスペアレントにしたいオーバヘッド信号の種類やオーバヘッドの場所や保護の種類等が書き込まれる。監視制御コードには C P U からの命令の種別やプログラミングのエラー監視の設定等が書き込まれる。H E C バイトは C R C 演算を行うための情報である。don't use および Reserve は使用していない空きエリアである。本実施の形態においては、この中の宛先（終点 P C B コード）と優先度コードを用いて終点 P C B に配信する。

【 0 0 3 2 】

情報フィールドには情報本体を格納する部分と、C P U - P C B 間の情報を監視するための Cell Status と CRC-10 とがある。

【 0 0 3 3 】

パケット処理 I C 4 2 はこの A T Mセルを受け取ると、その配信部 2 0 8 が A T Mセル内の宛先情報を検出して終点 P C B に向けてこの A T Mセルを配信する。

【 0 0 3 4 】

図 3 の (d) は配信された A T Mセルパケットを示す図である。

【 0 0 3 5 】

終点 P C B 1 2 では、D M U X 2 1 4 が受信パケットを監視・制御情報パケットと主信号パケットに分離し、主信号パケットはパケット終端部 2 1 5 にて A T M セルの情報フィールドから情報本体を抽出し主信号処理回路 2 1 6 に送る。監視・制御の各情報はパケット終端部 2 1 7 にて A T M セルの情報フィールドから抽出されて監視制御回路に入力される。

【 0 0 3 6 】

図 3 の (e) はパケット終端部 2 1 5 にて抽出されたフレームパルスと情報本体であるデータとを示す図である。この情報本体が主信号処理回路 2 1 6 に入力されて処理される。

【 0 0 3 7 】

以上説明したように、パケット処理 I C 4 2 を中心にして P C B をスター状に接続することにより、パケット処理 I C 4 2 は起点 P C B からのパケットに含まれる宛先を検出して終点 P C B にそのパケットを転送することができるので、伝送路終端装置内の任意のスロットに任意の P C B を挿入してもよくなるとともに、各 P C B とパケット処理 I C との間の線を十分な容量の高速監視制御ラインにすることにより、従来必要としたようなトランスペアレント信号の種別毎の配線や警報転送のための別の配線を別々に設ける必要がなくなり、各 P C B とパケット処理 I C との接続は一本の線で済むので装置全体の構成が簡単になり、且つコストの低減を実現できる。

【 0 0 3 8 】

図 4 は本発明の第 2 の実施の形態による伝送路終端装置の構成を示すブロック図である。同図において、複数の起点 P C B 1 1 - 1、1 1 - 2、1 1 - 3、
 ・ ・ の各々から出力されるパケット信号は高速制御ライン 2 0 6 - 1、2 0 6 - 2、2 0 6 - 3 ・ ・ ・ を介してパケット処理 I C 4 2 a に入力される。パケット処理 I C 4 2 a から出力されるパケット信号は高速制御ライン 2 1 3 - 1、2 1 3 - 2、
 ・ ・ ・ を介して複数の終点 P C B 1 2 - 1、1 2 - 2、
 ・ ・ ・ にそれぞれ入力される。

【 0 0 3 9 】

この実施の形態においては、各起点 P C B 内に、パケット化回路 2 0 2 および

204に対して送出の優先度に関する情報を与える優先度情報設定部410と、パケット化回路202および204の出力を優先度情報に応じて優先的に多重化する優先多重化回路411とが設けられている。また、パケット処理IC42a内には、起点PCB11-1、11-2、11-3、・・・のそれぞれからの多重化されたパケット信号をトランスペアレント情報および警報転送情報と、監視・制御情報とに分解するデマルチプレクサ(DMUX)421、422、423、・・・と、CPU41からCPUインターフェース424を介して送られる優先度情報を設定する優先度情報設定部425と、それらのDMUXからの分解されたトランスペアレント情報および警報転送情報を、それらの中に設定されている優先度情報またはCPU41から与えられた優先度情報に応じて配信する優先多重配信部426と、その優先多重配信部426から送られてきた情報を優先度情報に応じた時間的な順序で多重化する優先多重部429、430、・・・と、図2に示したものと同一機能を有するMUX209、およびDMUX211とを備えている。

【0040】

優先度情報設定部は起点PCBとパケット処理ICの両方に設けてもよいし、いずれか一方に設けてもよい。両方に設ける場合は、CPU41からの指令により、いずれの優先度情報を用いて配信するかを決定すればよい。

【0041】

優先度情報は図3の(c)に示したATMセルのフォーマットにおけるATMセルヘッダ内の優先度コードとしてパケット内に設定される。

【0042】

図5は図4の装置に示した伝送路終端装置における優先度情報に従って優先配信される様子を示すタイムチャートである。図において、横軸は時間軸である。図示のように、時刻tの以前にはパケット処理IC42aはどのPCBからもATMセルを受信していないという前提で、起点PCB11-1からは優先度(小)のATMセルA-1、優先度(大)の信号ATMセルA-2、優先度(中)のATMセルA-3が図示の時間帯で出力され、起点PCB11-2からは優先度(大)のATMセルB-1、優先度(小)のATMセルB-2が図示の時間帯で

出力され、起点 P C B 1 1 - 3 からは優先度（中）の A T M セル C - 1、優先度（大）の A T M セル C - 2 が図示の時間帯で出力されたとする。

【 0 0 4 3 】

すると、パケット処理 I C 4 2 a では、受信した A T M セルの受信時刻と優先度とを加味して、最初に受信した A T M セル A - 1 を最初に終点 P C B に向けて送信する。次に、受信した A T M セルは図示例では B - 1 と C - 1 であるが、B - 1 の方が優先度が大なので、A T M セル B - 1 を出力する。A T M セル B - 1 を出力し終わった時点で、パケット処理 I C 4 2 a に受信されている A T M セルは優先度（中）の A T M セル C - 1 と優先度（大）の A T M セル A - 2 であり、A T M セル A - 2 の方が優先度大なので、A T M セル A - 2 を出力する。A T M セル A - 2 を出力し終わった時点で、パケット処理 I C 4 2 a に受信されている A T M セルは、優先度（中）の A T M セル C - 1 と、優先度（小）の A T M セル B - 2 と、優先度（大）の A T M セル C - 2 とである。したがって、優先度大の A T M セル C - 2 を出力する。以下、同様にして優先度に応じた順番で A T M セルを出力する。

【 0 0 4 4 】

このように、図 4 に示した構成によれば、各情報の転送時間制限を識別する情報（優先度コード）を起点 P C B にて送信 A T M セルのヘッダに挿入し、パケット処理 I C 4 2 a にて A T M セルヘッダ内の優先度コードを解析し、転送時間制限のより大きい、すなわち、優先度の高いパケットから優先的に配信することが可能になる。これにより、カスタマニーズに合わせた性能を実現できる。

【 0 0 4 5 】

図 6 は本発明の第 3 の実施の形態による伝送路終端装置の構成を示すブロック図である。本実施の形態においては、起点 P C B 1 1 b 内に、パケット化回路 2 0 2 に終点 P C B 情報を設定するための終点 P C B 情報設定部 6 1 が設けられている。終点 P C B 情報は M U X 2 0 5 から出力される A T M セルのヘッダ内の宛先（終点 P C B コード）の欄に挿入される。パケット処理 I C 4 2 b は複数の受信回路 6 2 と、スイッチ回路 6 3 と複数野送信回路 6 4 とを備えている。

【 0 0 4 6 】

起点 P C B 1 1 b から送られてきた A T M セルを受信した受信回路 6 2 はその A T M セルをスイッチ回路 6 3 に送る。スイッチ回路 6 3 では、受信した A T M セルのヘッダに記録されている宛先を認識してその宛先に対応する送信回路 6 4 に A T M セルを配信する。送信回路 6 4 は受け取った A T M セルを終点 P C B に送る。

【 0 0 4 7 】

図 7 は本発明の第 4 の実施の形態による伝送路終端装置の構成を示すブロック図である。同図において、図 6 と同様に起点 P C B 1 1 b 内に終点 P C B 情報設定部 6 1 が設けられていることに加えて、パケット処理 I C 4 2 c 内にもリンク情報設定部 7 1 が設けられている。このリンク情報設定部 7 1 はどの起点 P C B をどの終点 P C B に接続させるかに関する情報を配信部 2 0 8 に提供する。配信部 2 0 8 はこのリンク情報に基づいて、または A T M セルに含まれるリンク情報に基づいて配信先の終点 P C B に A T M セルを配信する。

【 0 0 4 8 】

パケット処理 I C 4 2 c においては、リンク情報設定部 7 1 からの設定情報と起点 P C B 1 1 b 内で設定される終点 P C B 情報とパケット処理 I C 4 2 c 内のリンク情報のいずれを優先して使用するかを C P U 4 1 からの指令により設定できるようにしておく。

【 0 0 4 9 】

起点 P C B 1 1 b 内の終点 P C B 情報設定部 6 1 を省略して、パケット処理 I C 4 2 c 内にのみリンク情報設定部 7 1 を設けてもよい。

【 0 0 5 0 】

図 8 は図 7 に示した伝送路終端装置において、スイッチ回路 6 3 a が起点 P C B から受信回路 6 2 を経由して入力された A T M セルを、パケット処理 I C 4 2 a 内に設けたリンク情報設定部 7 1 からの情報に応じて固定的に送信回路 6 4 を経由して終点 P C B に配信する様子を示す図である。

【 0 0 5 1 】

上記第 3 および第 4 の実施の形態によれば、起点 P C B 内で終点 P C B 情報を設定するだけで、P C B を接続するための配線をなんら変更することなく所望の

終点PCBへの配信が可能になる。更に、1つのユニット内に複数のPCBが挿入される形式の伝送路終端装置においては、BWB配線を変更することなく任意のスロットにPCBを挿入しても、所望の終点PCBへの配信が可能になる。

【0052】

図9は図7又は図8に示した伝送路終端装置が一つのユニットとして形成されている場合の、ユニットの外観を示す図である。同図において、91は全PCBを格納するユニットである。A～Z及びA'、B'はそれぞれPCBを格納するスロットであり、本例では28個のPCBが格納可能である。

【0053】

92はユニット91全体のマスタークロックを生成するクロック盤である。本実施の形態ではクロック盤92は二枚のPCBで冗長構成をとっており、スロットM、Nの位置に実装されている。

【0054】

93はCPU盤であり、装置全体の監視制御情報や局間コミュニケーション（例えば、保守者が使用するOrder Wire, Data Communication Channel等）を処理するプロセッサが実装されている。本実施の形態では二枚のPCBにより構成されており、スロットA'及びB'の位置に実装されている。

【0055】

94は高速な監視・制御用配線であり、CPU盤eに実装されているパケット処理IC42（図1、図2）、42a（図4）、42b（図6）、又は42c（図7）を中心として全スロット内のPCBにスター状に接続されている。

【0056】

95は主信号処理用のPCBであり、低速インターフェース（INF）盤、スイッチ盤、高速インターフェース（INF）盤などがある。これらの主信号処理用PCBは、ユニット91のスロットA～L及びO～Zの中の任意のスロットに実装可能である。

【0057】

図10は図9に示したユニット内の構成を示すブロック図である。図示のように、スロットA'に実装されているCPU盤eは、CPU41と、パケット処理

IC42と、RAM101とを備えている。パケット処理IC42は高速な監視制御ライン94を介してスター状に主信号用PCB95に接続されている。この配線はBWB配線である。主信号用PCBには、高速インターフェース盤102、スイッチ盤103、低速インターフェース盤104、105等がある。高速インターフェース盤102は、高速インターフェースIC106と、監視制御IC107と、シリアライザ・デシリアライザ(SERDES)IC108とを備えている。スイッチ盤103は、スイッチIC109と、監視制御IC110と、シリアライザ・デシリアライザ111とを備えている。低速インターフェース盤104は低速インターフェースIC112と、監視制御IC113と、シリアライザ・デシリアライザ114とを備えている。同様に、もう一方の低速インターフェース盤105も低速インターフェースIC115と、監視制御IC116と、シリアライザ・デシリアライザ117とを備えている。

【0058】

図11は図10に示したCPU盤eに実装されるパケット処理IC42の内部構成を示すブロック図である。以下にパケット処理ICの構成と動作を説明する。パケット処理IC42は受信部421と送信部432とを備えている。受信部421および送信部432は、26個の全スロットに対応してそれぞれ存在している。

【0059】

受信部421の各々は、高速監視制御ライン94に接続されており主信号用PCB(図10)から送られて来た600Mbpsの高速ATMセルをパケット処理IC42内部で処理可能な低速ATMセルに変換するシリアライザ・デシリアライザ422と、その出力を受信してATMプロトコルによるHEC(Header Error Control)演算によるセル同期、セルヘッダ誤り訂正とセル廃棄、デスクランブル、CRC-10チェックとセル廃棄などの受信処理を行う受信パケット処理部423と、受信したATMセルのヘッダ情報から、そのパケットが監視制御の応答パケットであるのか、トランスペアレント情報であるのか、警報転送情報であるのかを識別し、仕分けを行うパケット種別認識部424と、トランスペアレント情報2を配信先に配信するマトリクススイッチ426と、警報転送情報1を

配信するマトリクススイッチ427と、警報転送情報2を配信するマトリクススイッチ428と、これらのマトリクススイッチからの出力の配信先を決定するリンク情報設定部71とを備えている。

【0060】

監視・制御信号等の応答信号は、RAM101（図10）に接続されたRAMインターフェース429およびCPU41（図1）に接続されたCPUインターフェース431を介して送信部432内の優先多重部433に入力される。

【0061】

また、全スロットからのトランスペアレント信号1は全スロット多重部425を各スロット分離部434を介して送信部432内の優先多重部433に入力される。

【0062】

送信部432の各々は、各受信部421からのトランスペアレント信号2の論理和を優先多重部433に出力する論理和回路434と、各受信部421からの警報転送情報1の論理和を優先多重部433に出力する論理輪回路435と、各受信部421からの警報転送情報1の論理和を優先多重部433に出力する論理輪回路435と、各受信部421からの警報転送情報2の論理和を優先多重部433に出力する論理輪回路436と、図5により説明した予め設定した優先度に従って、配信するATMセルを優先度の高い順に並べ替えて多重を行う優先多重部433と、優先多重部433から送られて来るATMセルに、HEC挿入、CRC-10挿入、スクランブルなどの送信処理を行う送信パケット処理部437、及びBWB配線94に送る高速信号に変換するシリアライザ・デシリアライザ（SERDES）438を備えている。

【0063】

図12は図10における主信号処理用PCB95（低速インターフェース盤、スイッチ盤、高速インターフェース盤等）のいずれにも実装される監視制御ICの内部構成を示すブロック図である。本例では高速インターフェース盤102内の監視制御IC107の構成を示しているが、他のPCB内の監視制御ICも同様の構成を持つ。

【0064】

図12において、高速監視制御ライン94からSERDES IC108を介して低速に変換されたATMセルは受信パケット処理部121にて、ATMプロトコルによるHEC演算によるセル同期、セルヘッダ誤り訂正とセル廃棄、デスクランブル、CRC-10チェックとセル廃棄などの、図11における受信パケット処理部423と同様の受信処理を行う。

【0065】

受信処理が終わったセルはパケット種別認識部121にて図11のパケット種別認識部424と同じようにして、受信パケットを仕分けする。仕分けられたパケットのうち、トランスペアレント信号1及び2はパケット分解部123に入力され、警報転送信号1及び2はパケット分解部124に入力され、命令等の信号はパケット分解部125に入力される。

【0066】

パケット分解部123～125では、ATMセルの情報フィールドに格納されているトランスペアレント情報、警報転送情報、監視・制御情報等を抽出する。

【0067】

抽出されたトランスペアレント情報はトランスペアレント送信部126により高速インターフェースIC106に送信される。また、抽出された警報転送情報は警報転送送信部127により高速インターフェースIC106に送信される。129は、トランスペアレント情報及び警報転送情報を図3の(e)に示した主信号回路のインターフェースフォーマットに変換して、監視制御ICから高速インターフェースIC106に向けて送信するインターフェースである。

【0068】

高速インターフェースIC107と光ファイバ130との間には光電変換気131が接続されている。

【0069】

一方、高速インターフェースIC106からの警報転送情報は警報転送受信部132に受信され、トランスペアレント情報はトランスペアレント受信部133に受信される。131は高速インターフェースIC106からのトランスペアレ

ント情報及び警報転送情報を図 3 の(e)に示す主信号インターフェースフォーマットから A T M セルフォーマットに変換するインターフェースである。

【 0 0 7 0 】

パケット組み立て部 1 3 4 では監視・制御レジスタ 1 2 8 内の応答信号を A T M セルの情報フィールドに格納する。パケット組み立て部 1 3 5 では警報転送受信部 1 3 2 内の警報転送情報を A T M セルの情報フィールドに格納する。パケット組み立て部 1 3 6 ではトランスペアレント受信部 1 3 3 内のトランスペアレント情報を A T M セルの情報フィールドに格納する。

【 0 0 7 1 】

優先多重処理部 1 3 7 は、図 1 1 の優先多重処理部 4 3 3 と同様の原理で A T M セルを多重化する。

【 0 0 7 2 】

送信パケット処理部 1 3 8 は図 1 1 の送信パケット処理部 4 3 7 と同様にして、H E C 挿入、C R C - 1 0 挿入、スクランブルなどの送信処理を行う。

【 0 0 7 3 】

送信パケット処理部 1 3 8 から出力された A T M セルは S E R D E S I C 1 0 8 を介して高速の監視制御ライン 9 4 に送出される。

【 0 0 7 4 】

高速インターフェース I C 1 0 6 に替えて、図 1 0 に示したスイッチ I C 1 0 9、低速インターフェース I C 1 1 2 又は 1 1 5 等、他の高速インターフェース I C であっても、監視制御 I C の構成は上記のものと同様である。

【 0 0 7 5 】

(付記 1) 装置全体の監視制御及び通信制御を行う中央処理装置と、前記中央処理装置に接続された単一のパケット処理 I C と、前記パケット処理 I C を中心としてスター状に接続された複数のプリント回路盤とを備え、前記複数のプリント回路盤と前記パケット処理 I C とは、トランスペアレントな情報と警報転送情報と前記中央処理装置からの情報とをパケット化して送受信するのに十分な伝送容量を持つ高速監視制御ラインで接続されており、前記プリント回路盤の間のトランスペアレント情報と警報転送情報との通信は前記高速監視制御ライン及び

前記パケット処理 IC を介して行われるようにし、この場合前記パケット処理 IC は起点のプリント回路盤からのパケット情報から検出された宛て先に対応する終点のプリント回路盤に該パケット情報を送信するようにしたことを特徴とする伝送路終端装置。

【 0 0 7 6 】

(付記 2) 前記パケット処理 IC は起点のプリント回路盤から送信された情報を時間的優先度が付与されたパケットにして、終点のプリント回路盤に前記時間的優先度に応じて回送するようにしたことを特徴とする付記 1 記載の伝送路終端装置。

【 0 0 7 7 】

(付記 3) 前記プリント回路盤の各々は終点プリント回路盤のアドレスをパケット情報中に挿入する終点プリント回路盤情報挿入部を備え、前記パケット処理 IC は起点プリント回路盤から送信されたパケットデータ中の終点プリント回路盤のアドレスを検出して該アドレスを有する終点プリント回路盤に前記起点プリント回路盤からのパケット情報を配信するようにしたことを特徴とする付記 1 記載の伝送路終端装置。

【 0 0 7 8 】

(付記 4) 前記パケット処理 IC は起点プリント回路盤と終点プリント回路盤とのリンクを確立させるためのリンク情報設定部を備えており、前記情報設定部は起点プリント回路盤から送信されたパケットデータ中のリンク先を終点プリント回路盤として検出して前記終点プリント回路盤に前記起点プリント回路盤からのパケット情報を配信するようにしたことを特徴とする付記 1 記載の伝送路終端装置。

【 0 0 7 9 】

(付記 5) 前記プリント回路盤から送信されるデータはパケット化されたセルの形態で送信されることを特徴とする付記 1 記載の伝送路終端装置。

【 0 0 8 0 】

(付記 6) 前記パケット化されたセルは A T M セルと I P セルを含む任意のパケットセルのいずれか一つである、付記 5 記載の伝送路終端装置。

【 0 0 8 1 】

【発明の効果】

以上の説明から明らかなように、本発明によれば、トランスペアレント情報、警報転送情報の各情報のすべてが、監視・制御用のラインと共用して伝送されるので、それぞれの専用配線が不要になり、P C B間の配線量が大幅に縮小され、装置の簡素化とコスト減に貢献できるという効果が得られる。

【 0 0 8 2 】

また、トランスペアレント情報、警報転送情報の各情報及び監視制御の命令応答の各パケットに適切な転送時間制限に応じた優先度のある配信が可能になるので、カスタマニーズに合わせた性能を柔軟に発揮することが可能になるという効果も得られる。

【 0 0 8 3 】

さらに、トランスペアレント情報、警報転送情報の各情報は、全P C Bとスター状に接続されている一つのパケット処理I Cにすべて集められ、パケットのオーバーヘッドに宛て先を設定することにより、パケット内のどのP C Bにも配信可能となるので、各P C Bをユニット内のどのスロットに挿入してもよいことになり、P C Bの挿入作業が簡単になるという効果も得られる。

【 0 0 8 4 】

以上の説明ではパケットの例としてA T Mセルを用いて説明したが、本発明はこれに限定されるものではなく、他の任意のパケット、例えば、I Pパケットを用いるシステムにおいても同様の効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態による伝送路終端装置の構成を示すブロック図である。

【図 2】

図 1 における 2 つ P C B とその間のパケット処理 I C 4 2 の詳細の一例を示すブロック図である。

【図 3】

(a) から (e) は図 2 における起点 P C B 1 1 内の主信号処理回路 2 0 1 か

ら出力される情報が終点 P C B 1 2 内の主信号処理回路 2 1 6 に入力されるまでの情報の流れとデータフォーマットを示す図である。

【図 4】

本発明の第 2 の実施の形態による伝送路終端装置の構成を示すブロック図である。

【図 5】

図 4 の装置に示した伝送路終端装置における優先度情報に従って優先配信される様子を示すタイムチャートである。

【図 6】

本発明の第 3 の実施の形態による伝送路終端装置の構成を示すブロック図である。

【図 7】

本発明の第 4 の実施の形態による伝送路終端装置の構成を示すブロック図である。

【図 8】

図 7 に示した伝送路終端装置において、スイッチ回路にリンク情報を設定する場合を示す図である。

【図 9】

図 7 又は図 8 に示した伝送路終端装置が一つのユニットとして形成されている場合の、ユニットの外観を示す図である。

【図 1 0】

図 9 に示したユニット内の構成を示すブロック図である。

【図 1 1】

図 1 0 に示した C P U 盤 e に実装されるパケット処理 I C 4 2 の内部構成を示すブロック図である。

【図 1 2】

図 1 0 における主信号処理用 P C B 9 5 （低速インターフェース盤、スイッチ盤、高速インターフェース盤等）のいずれにも実装される監視制御 I C の内部構成を示すブロック図である。

【図 1 3】

従来の伝送路終端装置における配線の一例を示す図である。

【図 1 4】

従来の伝送路終端装置における配線の他の一例を示す図である。

【図 1 5】

1つのユニット内に多数のPCBが装荷されている場合の従来の伝送路終端装置における信号線の接続の状態を説明する図である。

【図 1 6】

図 1 5 に示したユニット内の全てのPCBの間で全てのトランスペアレント信号および警報転送信号を送受信しようとする場合の、配線の状態を示す図である。

【符号の説明】

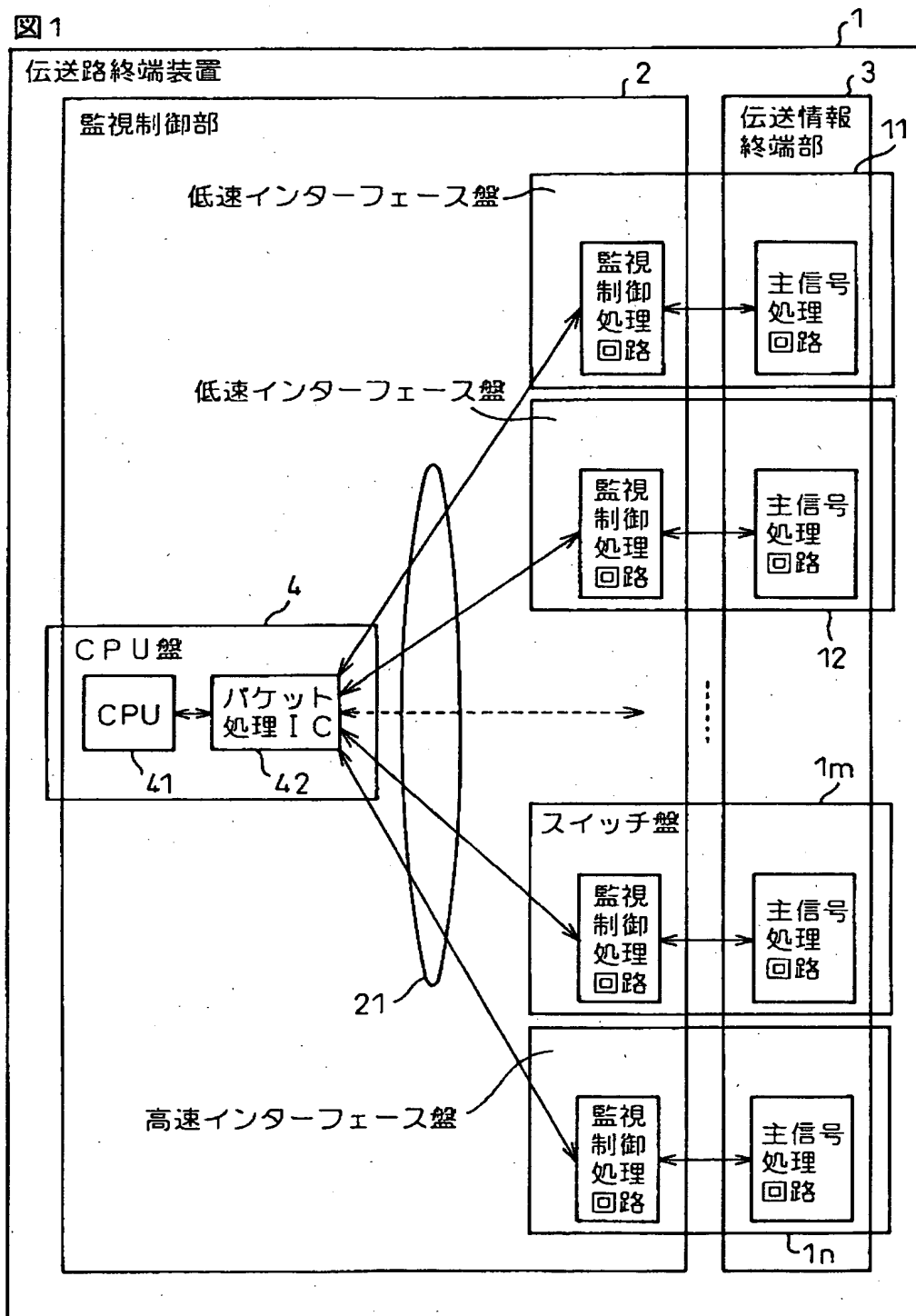
- 1 … 伝送路終端装置
- 2 … 監視制御部
- 3 … 伝送情報終端部
- 4 … 中央処理装置
- 1 1 ～ 1 n … プリント回路盤
- 2 1 … 高速監視制御ライン
- 4 2 … パケット処理IC
- 6 1 … 終点PCB情報設定部
- 7 1 … リンク情報設定部
- 2 0 6 … 高速監視制御ライン
- 2 0 7 … 高速監視制御ライン
- 4 1 0 … 優先度情報設定部
- 4 2 5 … 優先度情報設定部

【書類名】

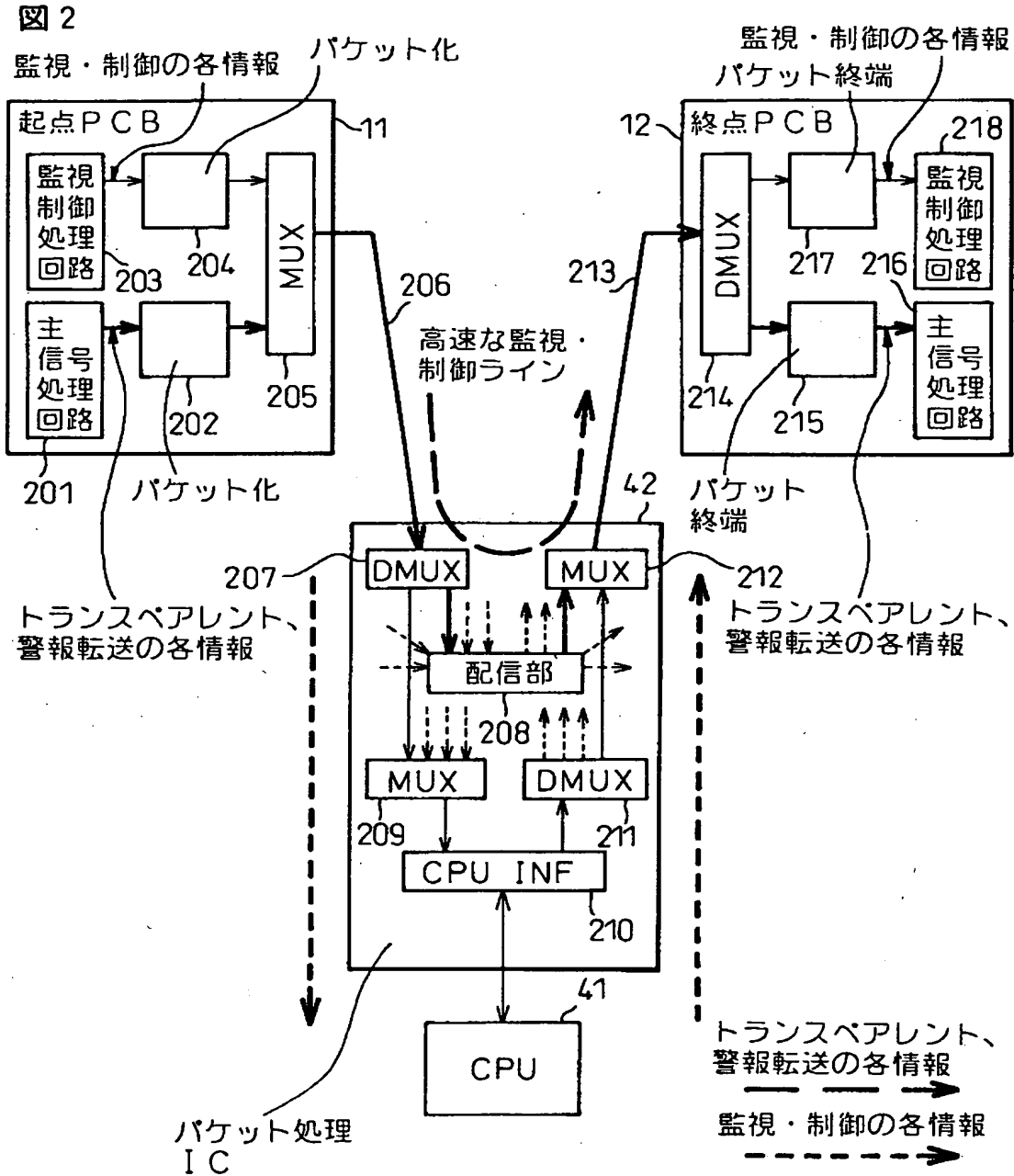
図面

【図 1】

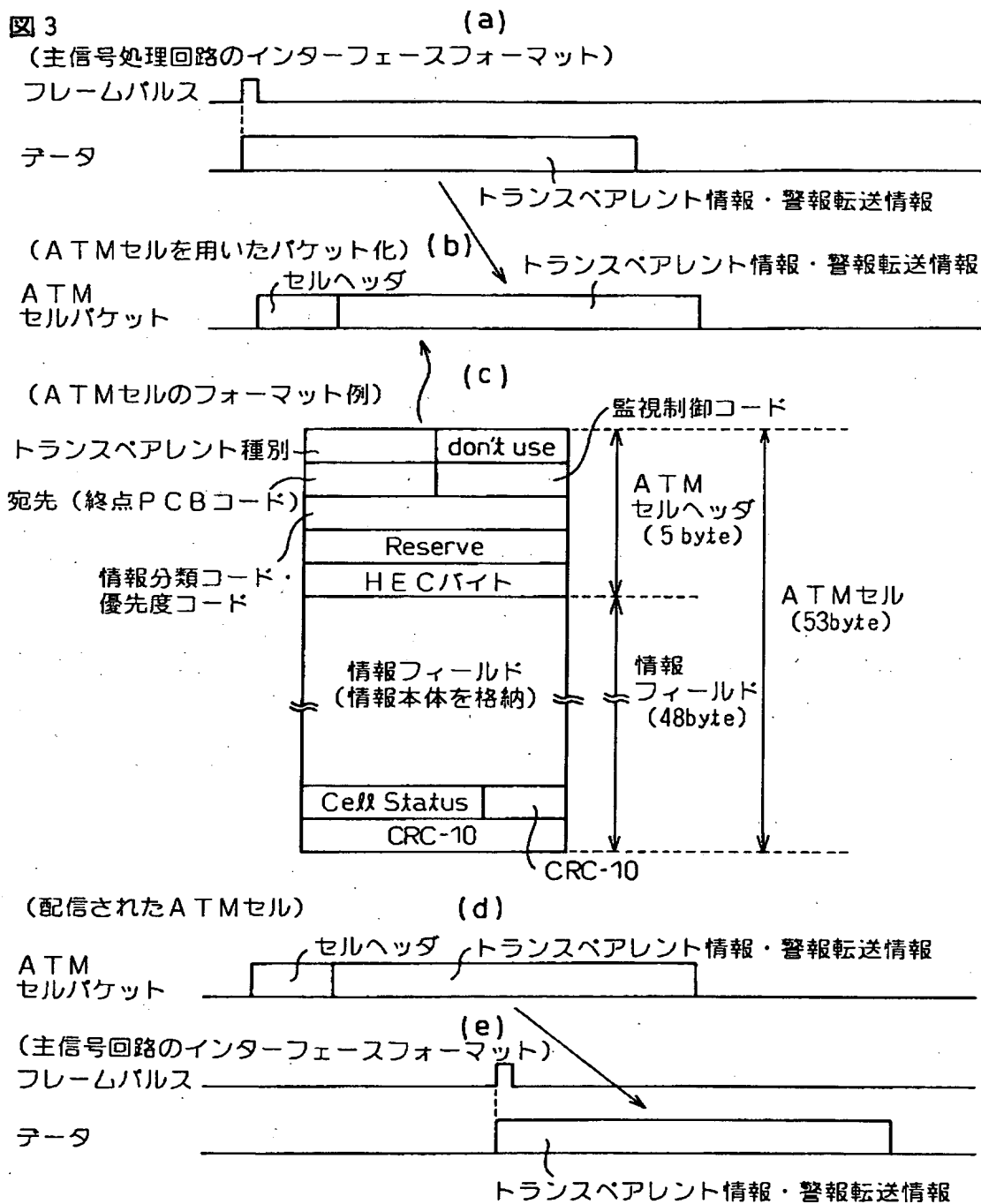
図 1



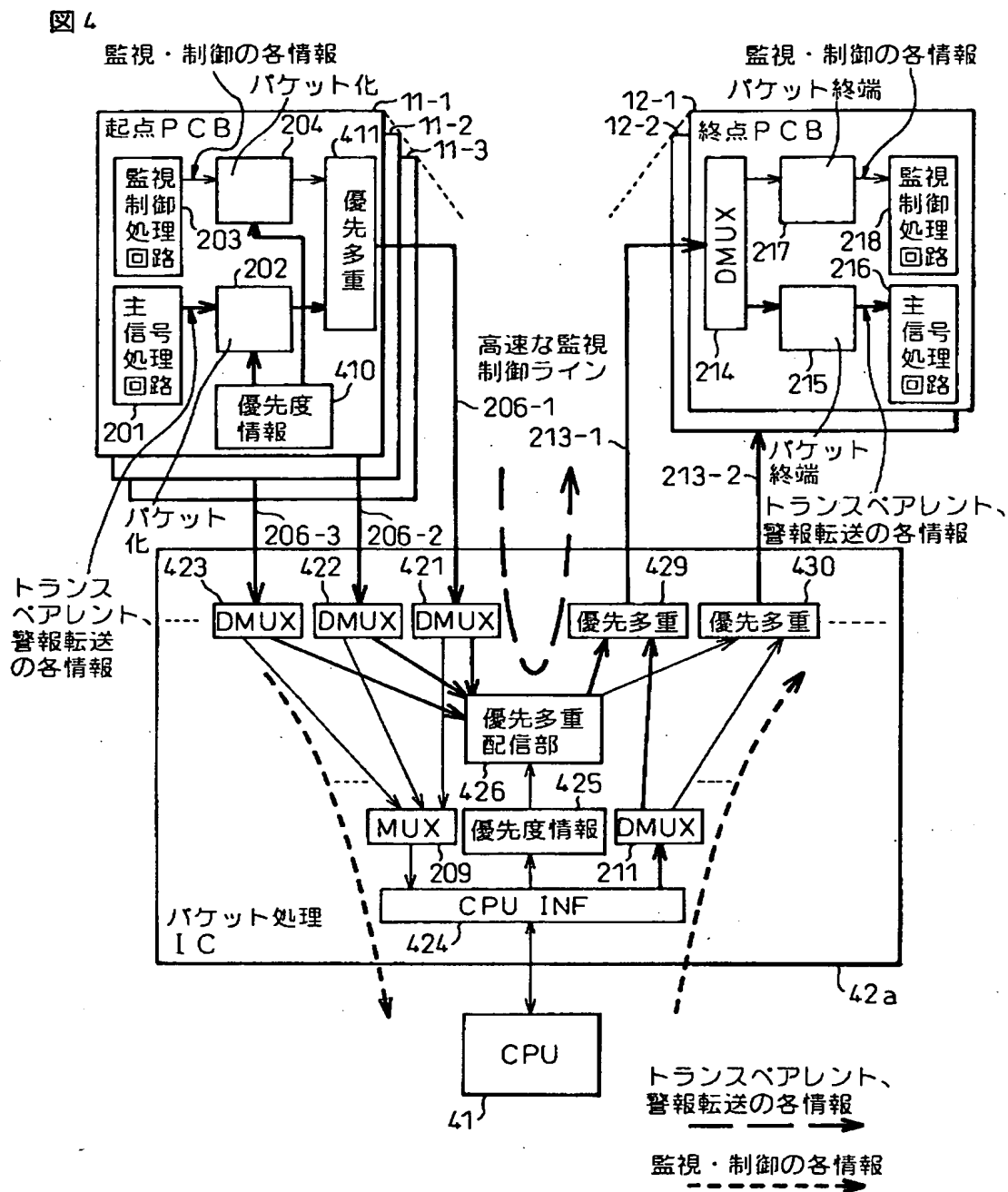
【図 2】



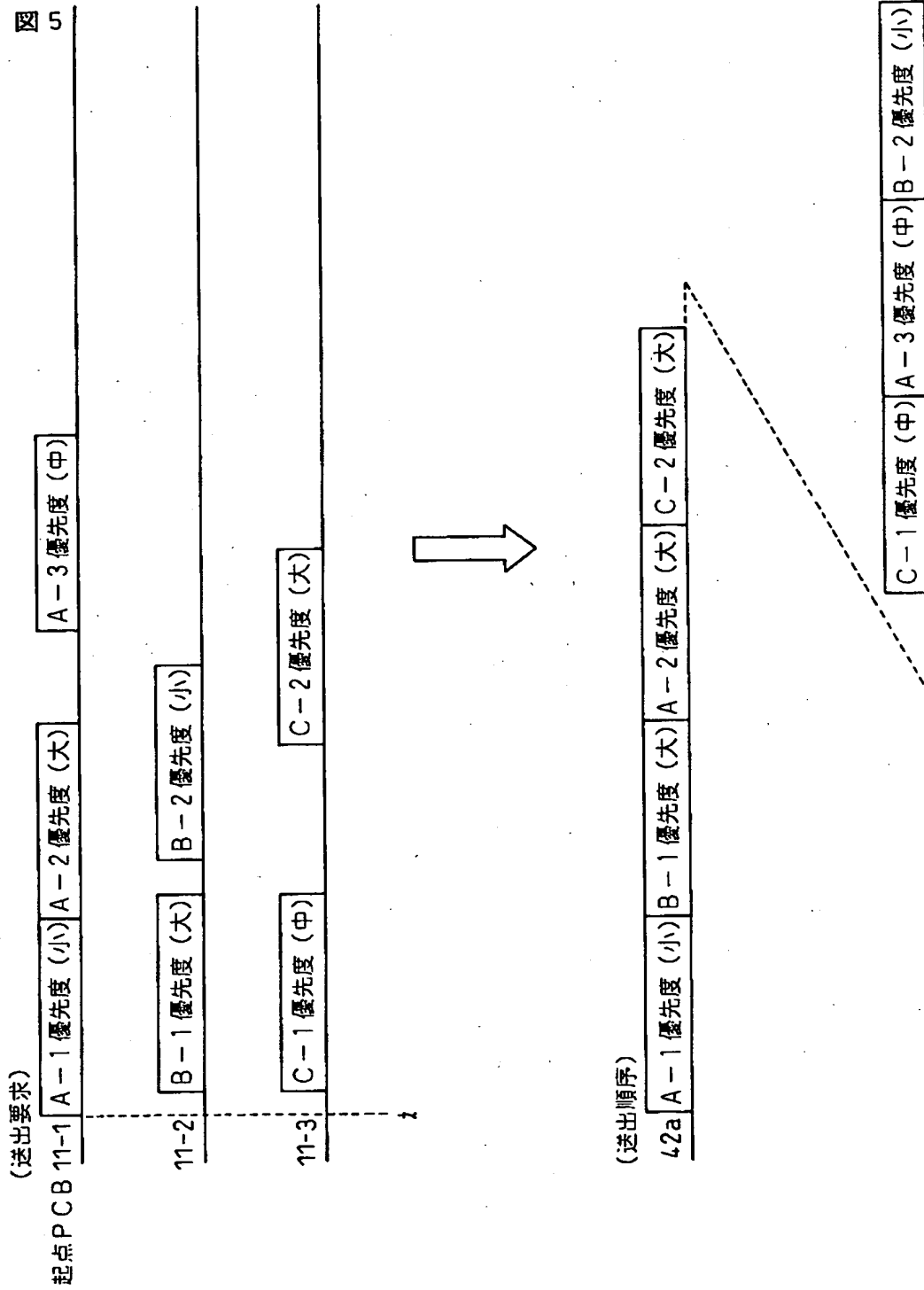
【図 3】



【図4】

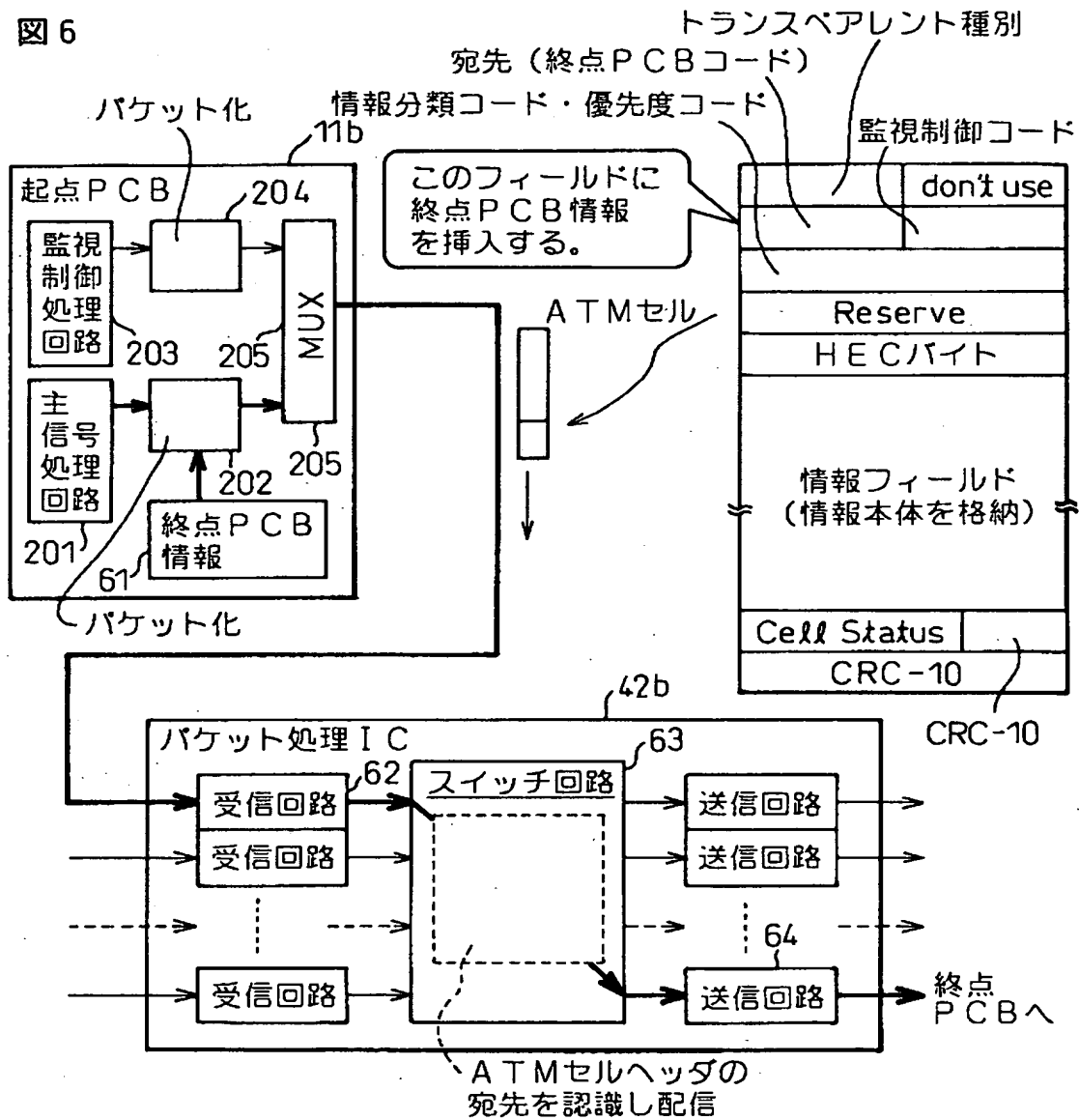


【图 5】

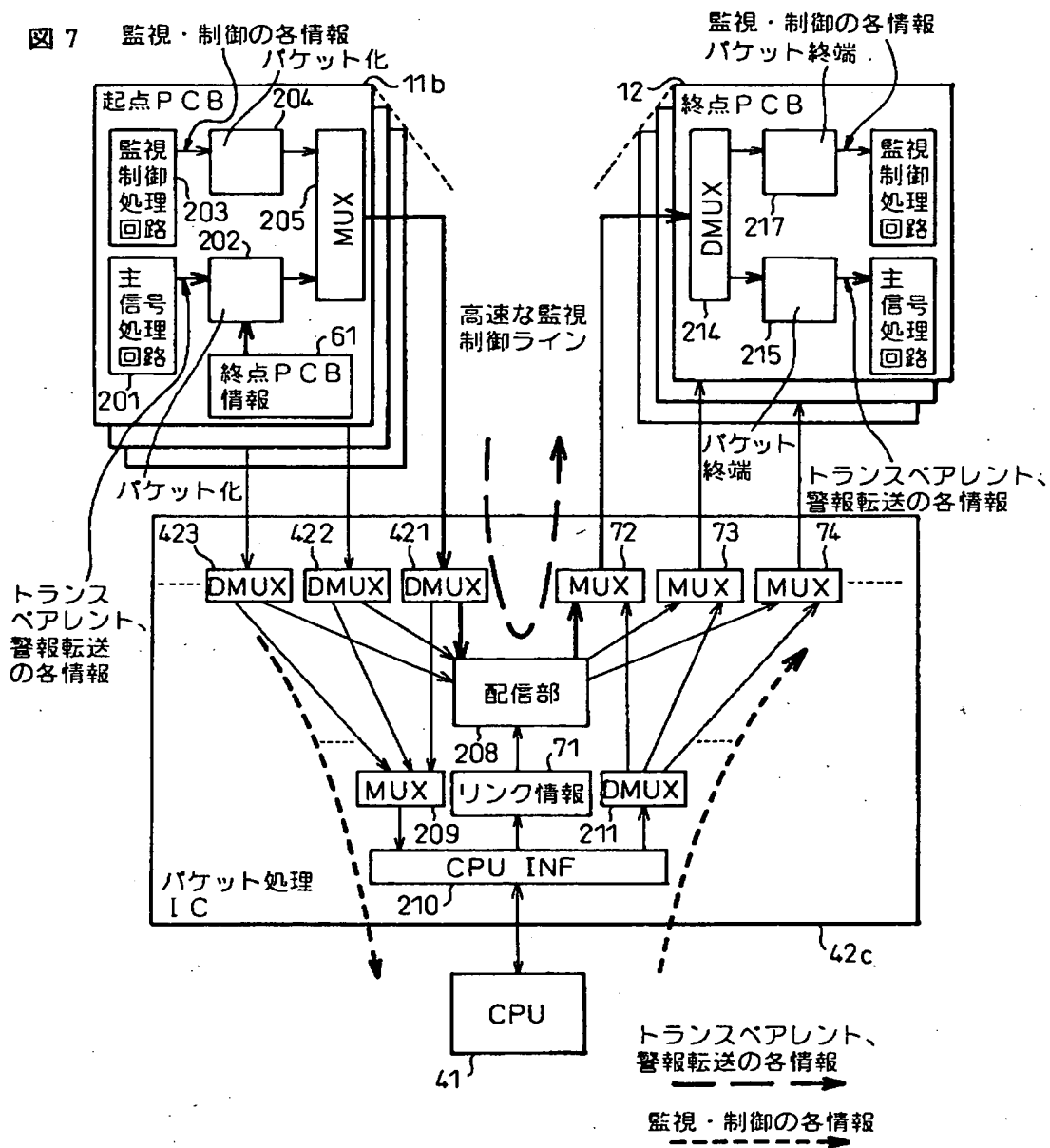


【図 6】

图 6

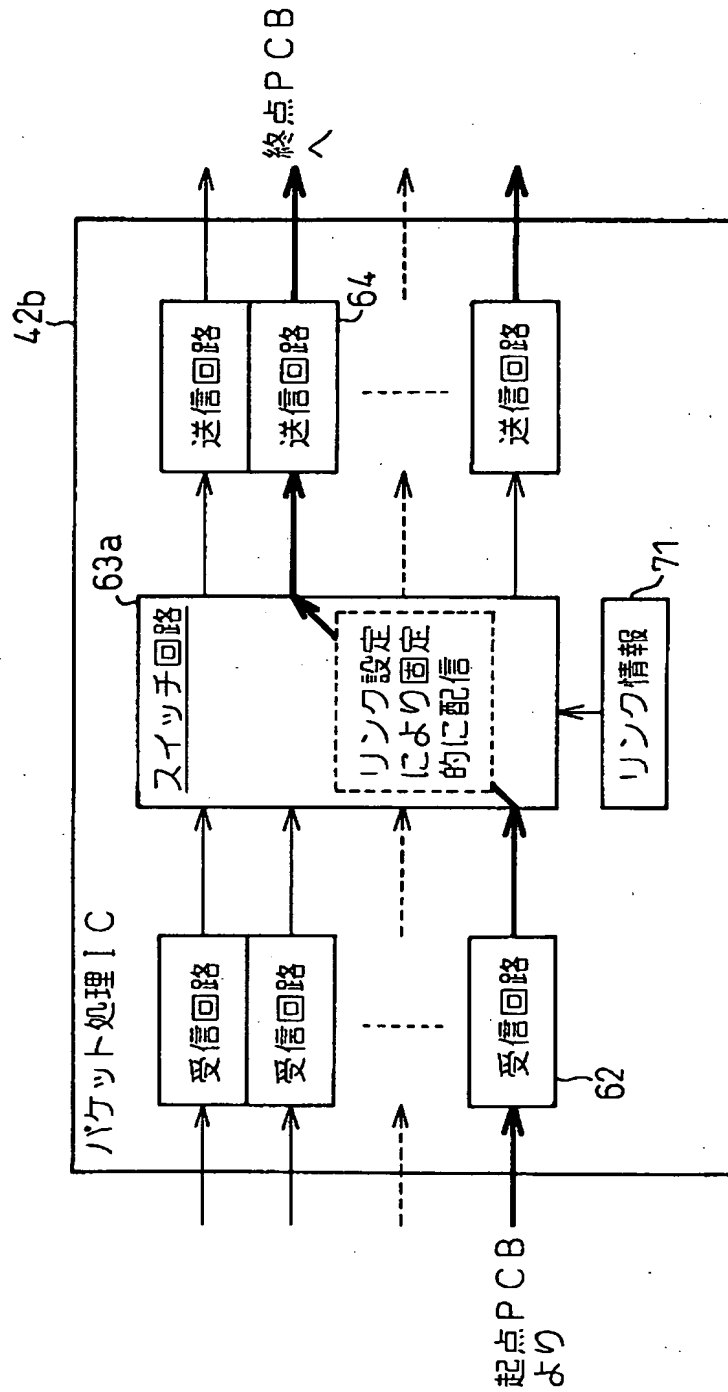


【図 7】



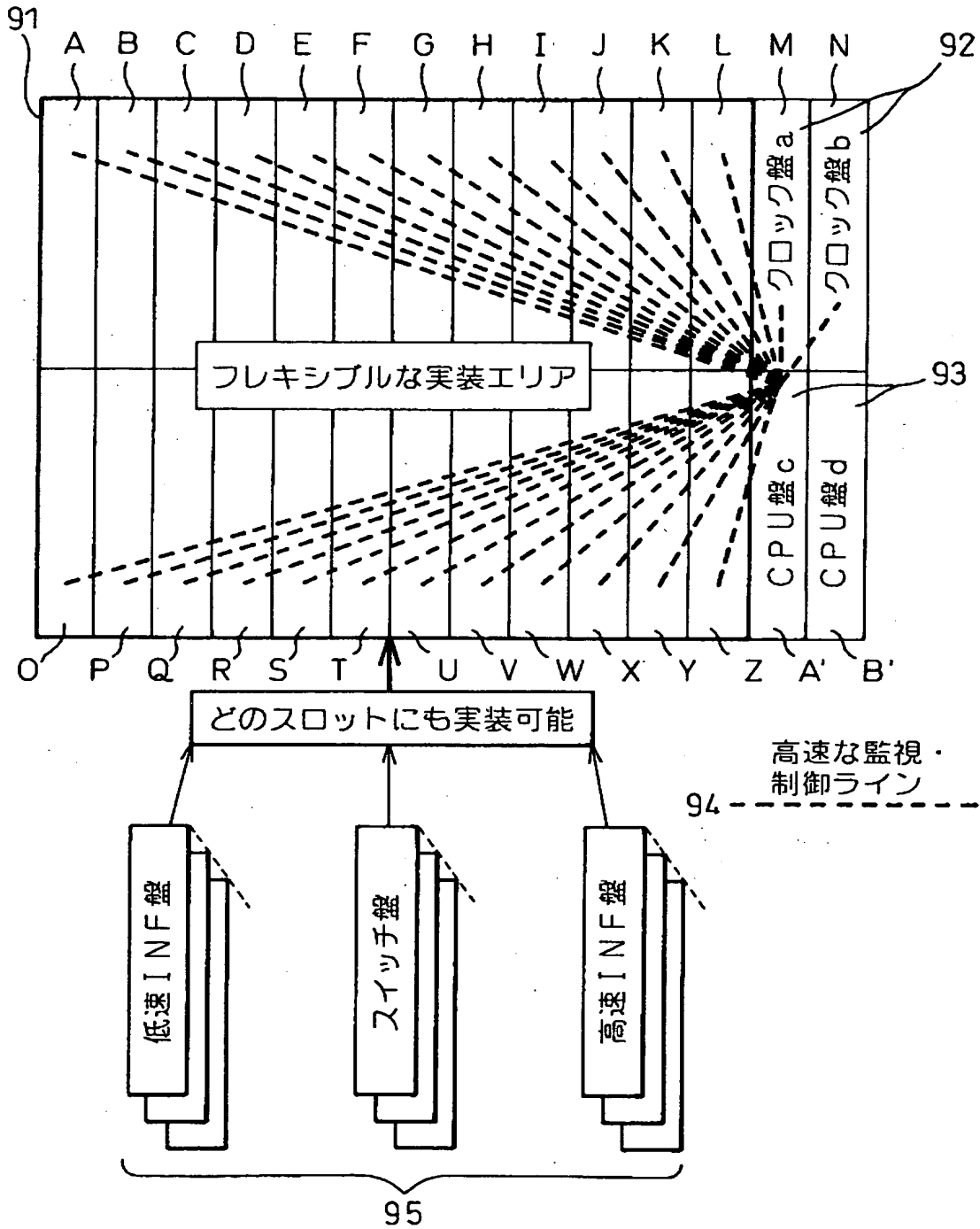
【図 8】

図 8

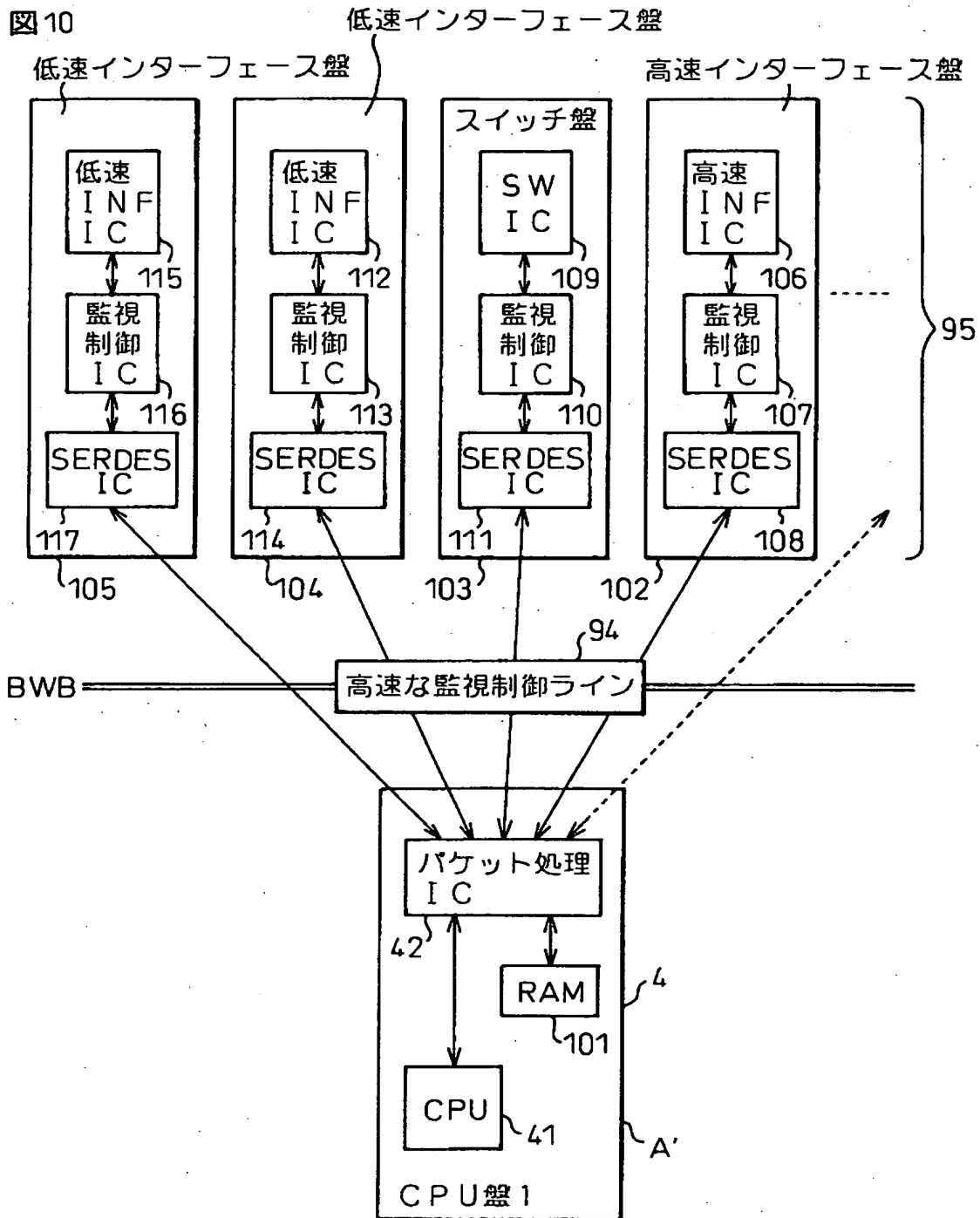


【図 9】

図 9

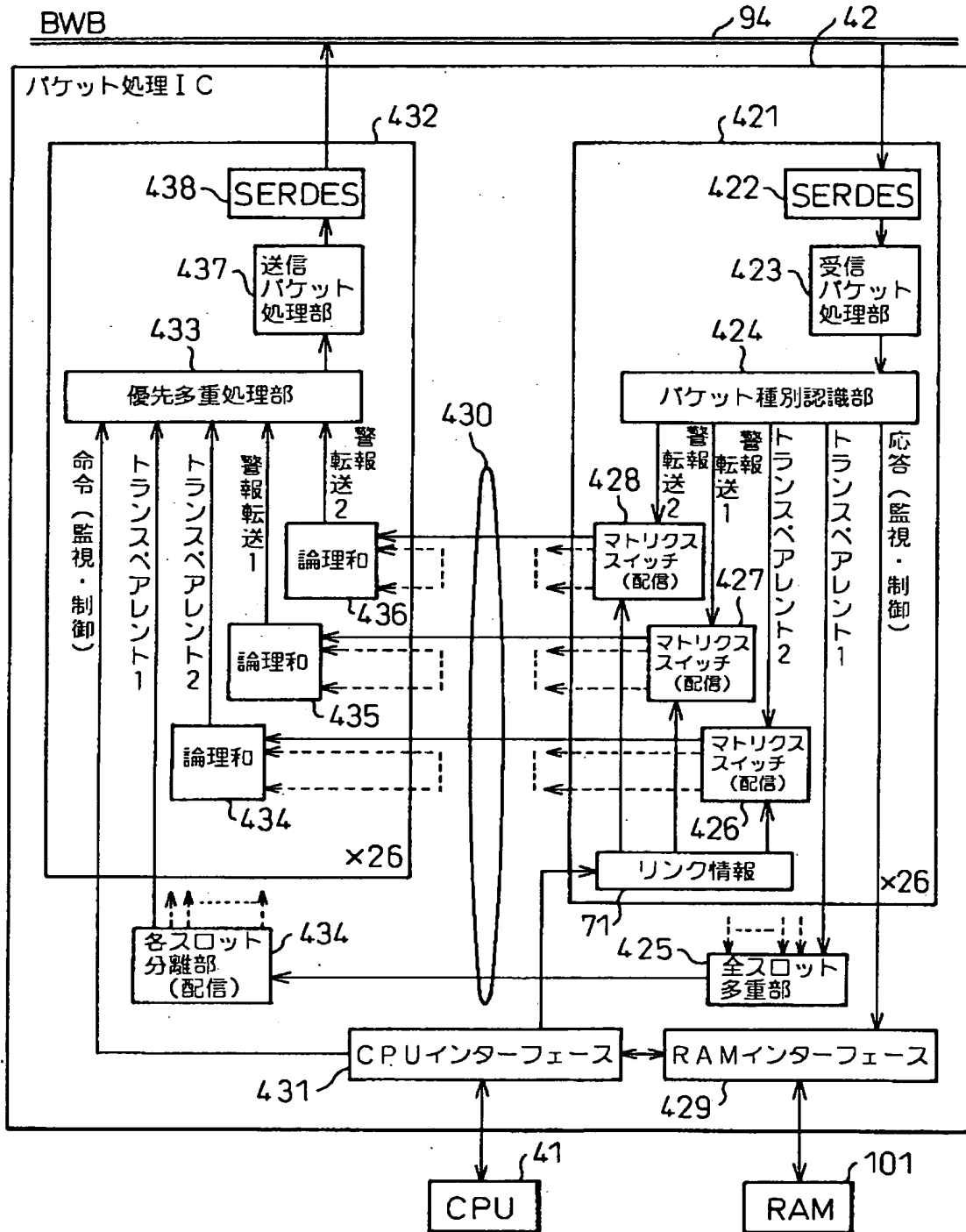


【図 1 0】

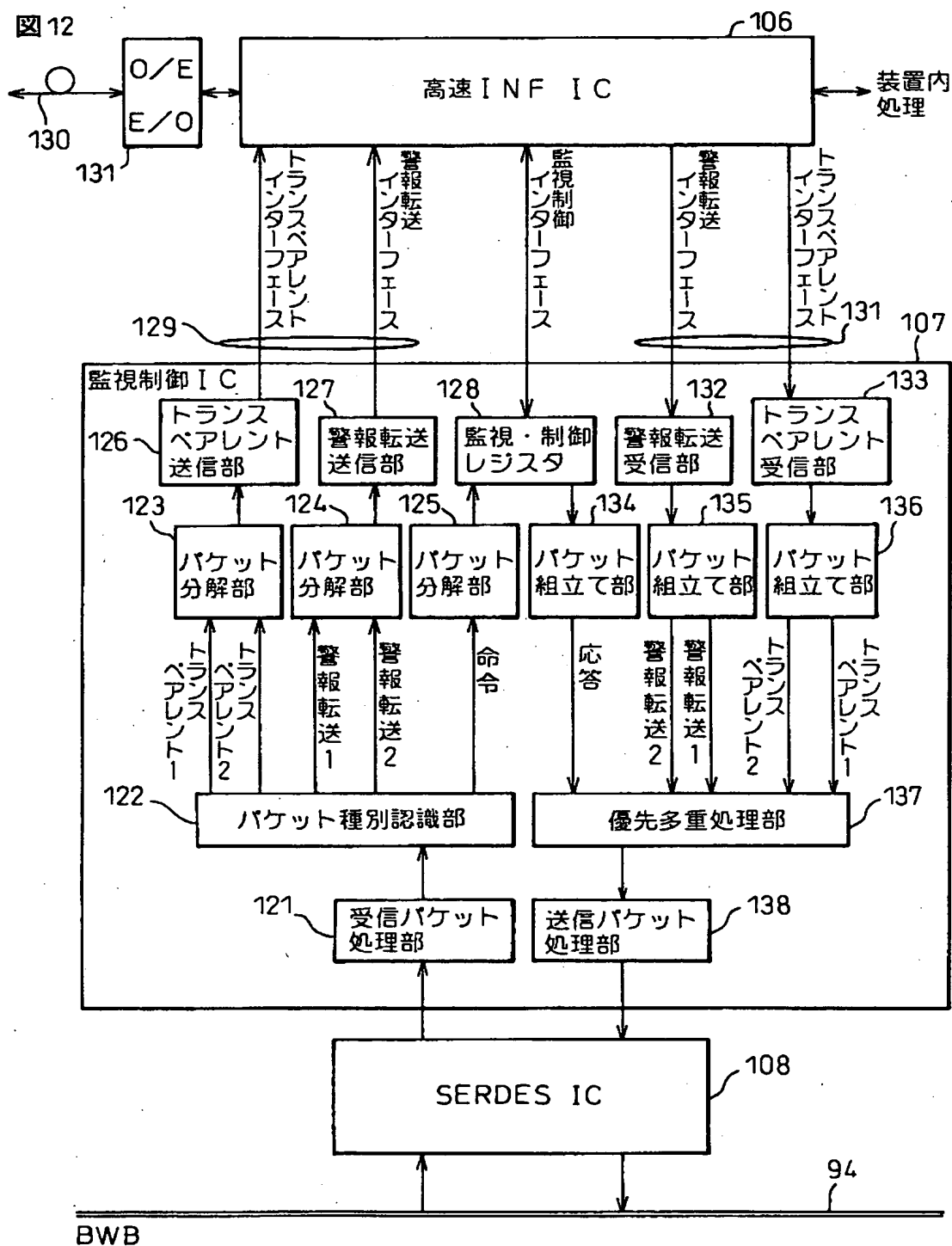


【図 11】

図 11

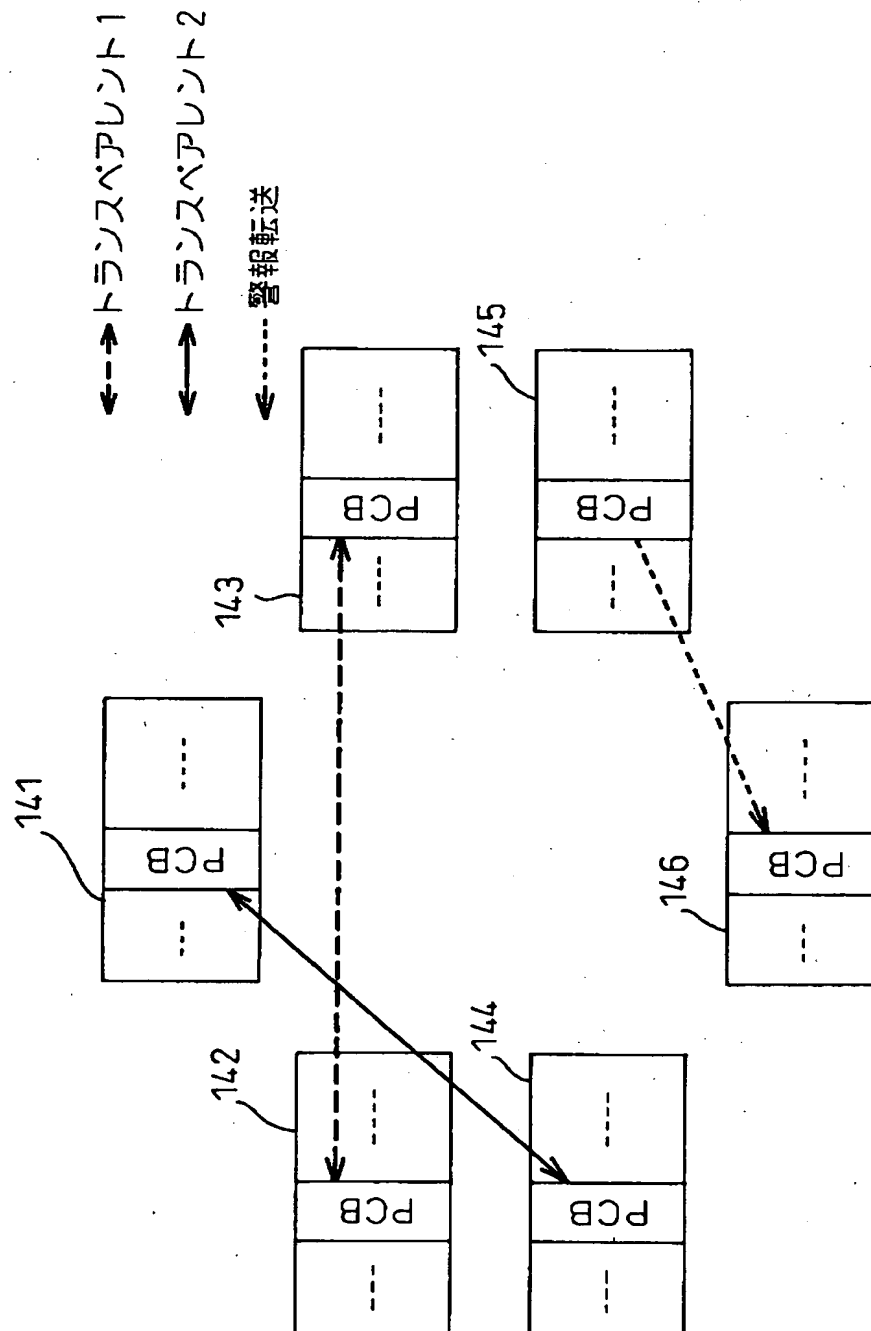


【図 12】



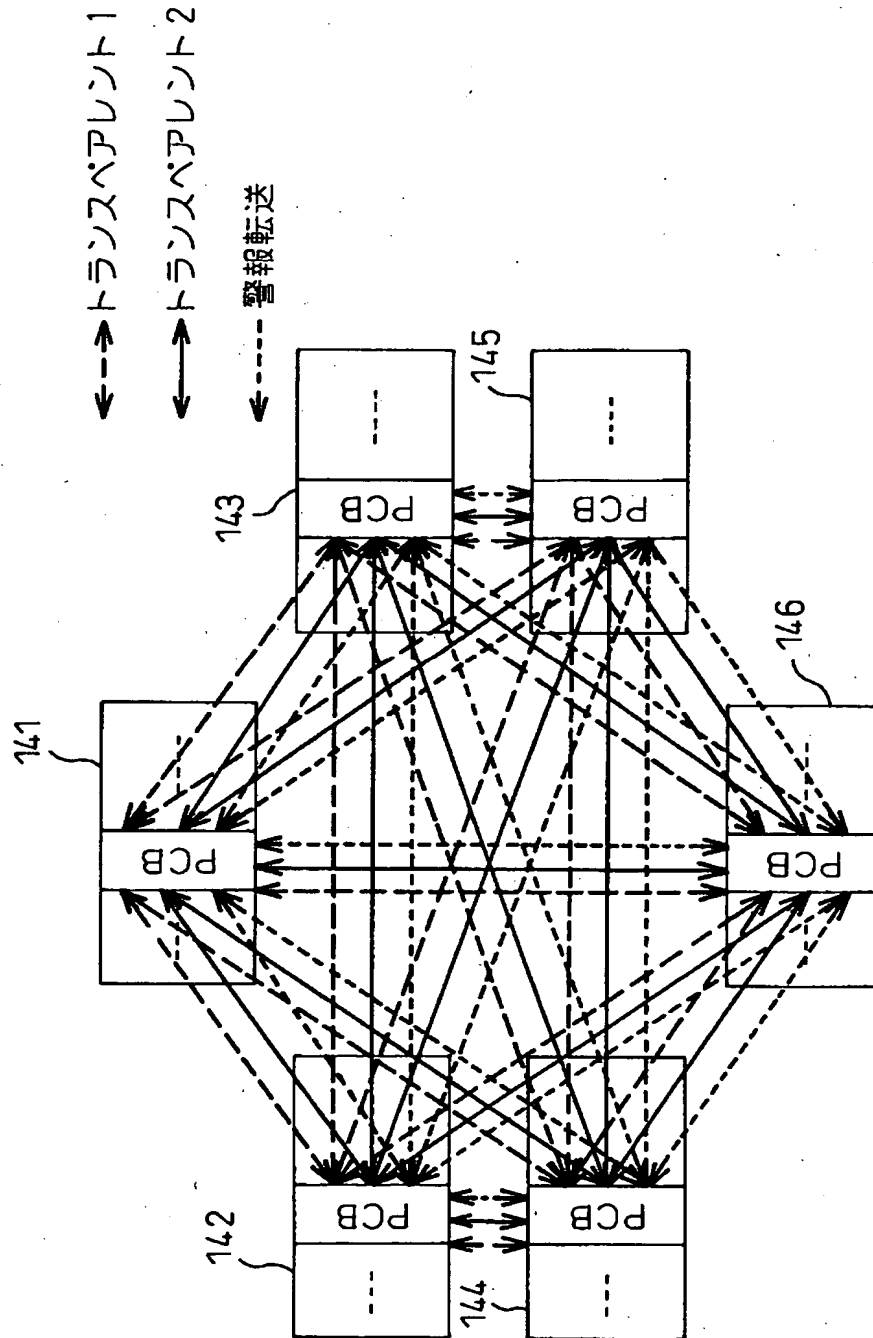
【図 13】

図 13



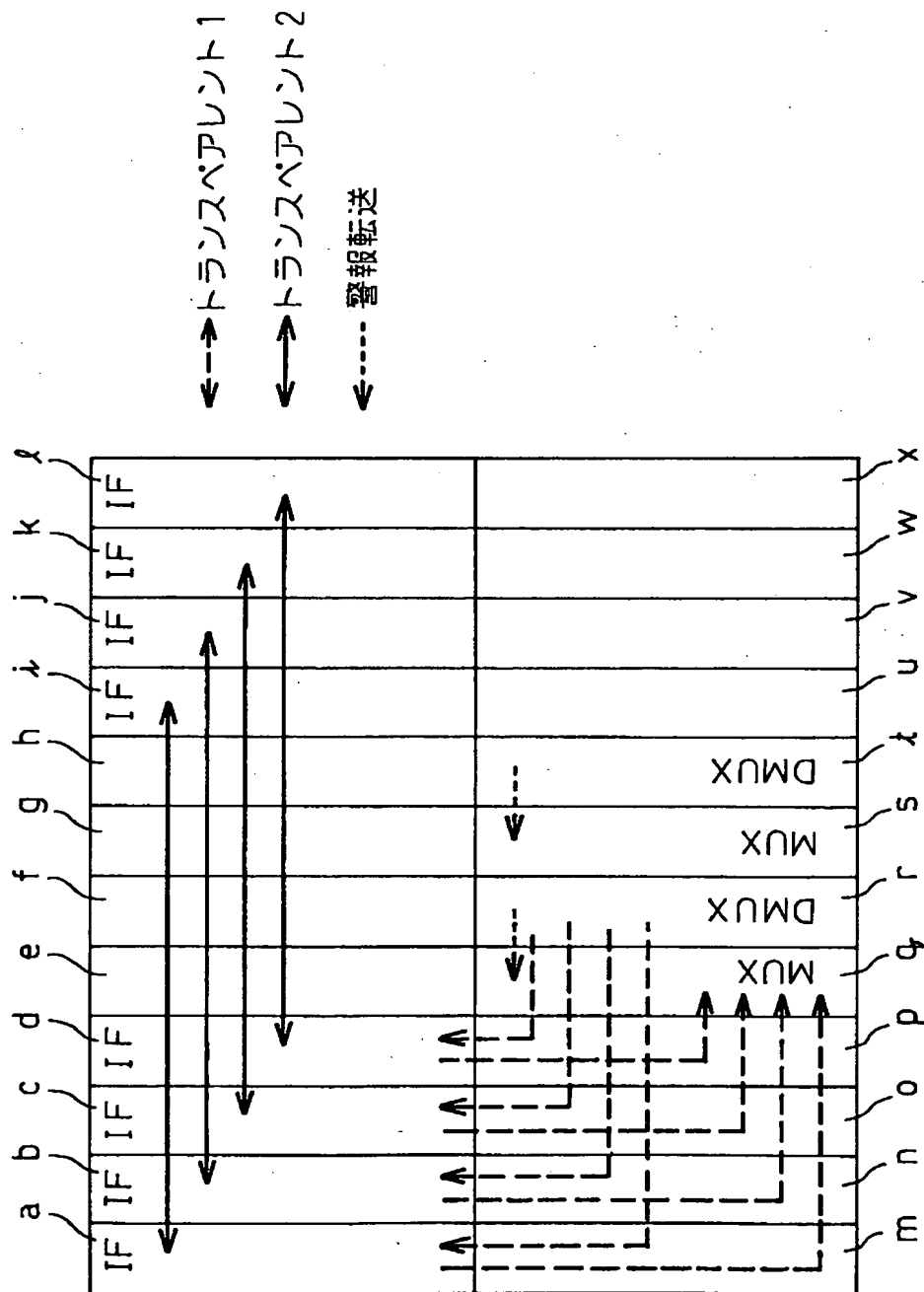
【図14】

図14



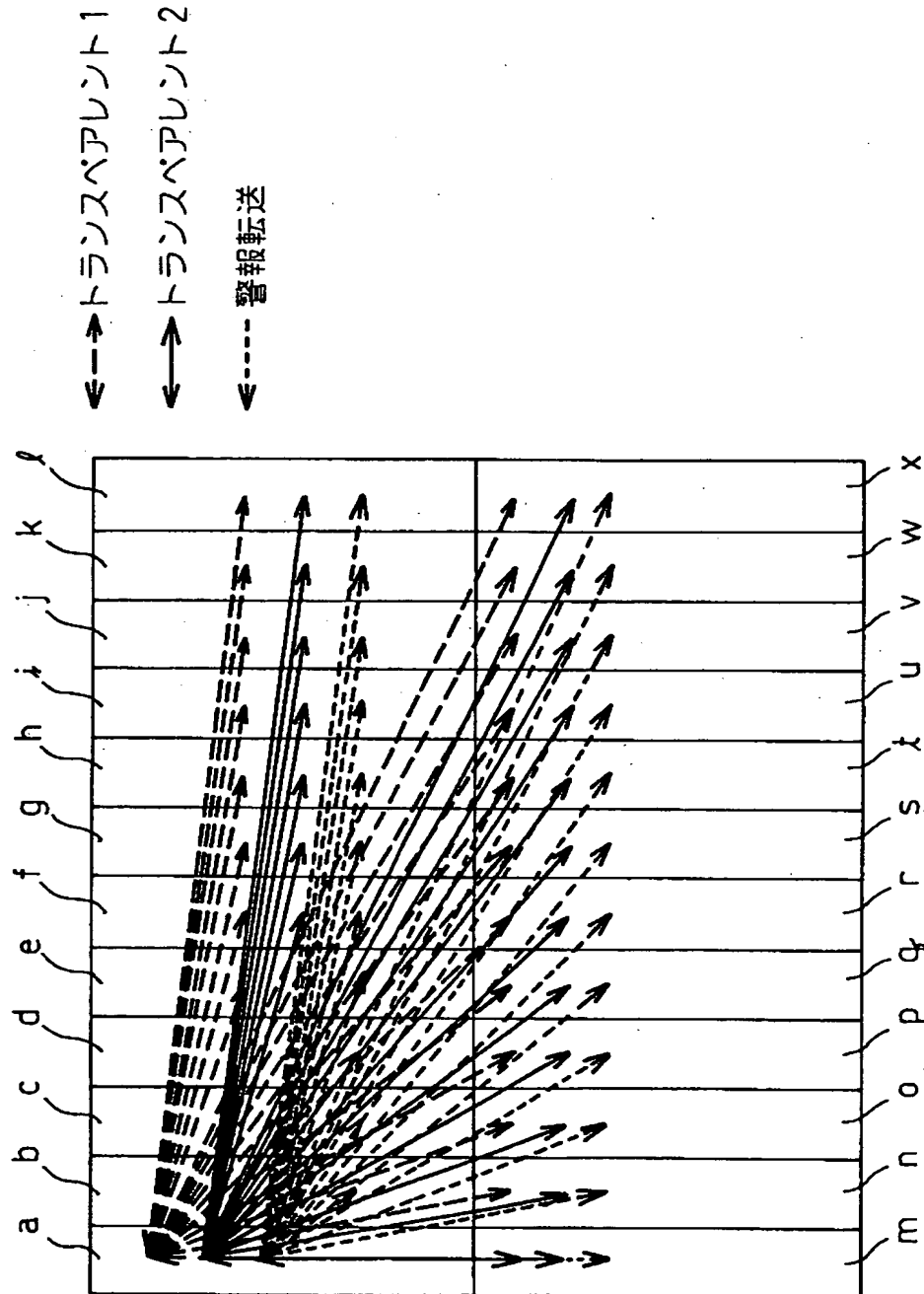
【図 15】

図 15



【図 16】

図 16



【書類名】 要約書

【要約】

【課題】 配線数少ない伝送路終端装置を提供する。

【解決手段】 CPU 4 1 に接続された単一のパケット処理 IC 4 2 を中心にトランスペアレントな情報と警報転送情報と CPU からの情報とをパケット化して送受信するのに十分な伝送容量を持つ高速監視制御ライン 2 1 を介してスター状にプリント回路盤 1 1 ~ 1 n を接続し、プリント回路盤の間のトランスペアレント情報と警報転送情報との通信は高速監視制御ライン及びパケット処理 IC を介して行われるようにし、パケット処理 IC は起点プリント回路盤からのパケット情報から宛て先を検出して終点プリント回路盤に送信するようにした。また、終点プリント回路盤にパケット化されたセルを時間的優先度に応じて配信するようにした。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社